

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 5 日
Date of Application:

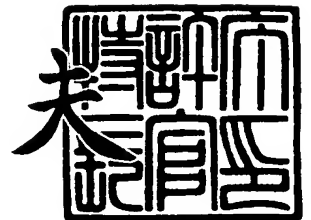
出 願 番 号 特 願 2 0 0 3 - 0 4 7 7 6 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 7 7 6 8]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 9 1 4 3

【書類名】 特許願

【整理番号】 0241925

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/90

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 杉浦 巖

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 並木 崇久

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された第 1 の多層配線構造と、

前記第 1 の多層配線構造上に形成された第 2 の多層配線構造とを備え、

前記第 1 の多層配線構造は第 1 の層間絶縁膜と前記第 1 の層間絶縁膜中に含まれる第 1 の配線層とを含み、

前記第 2 の多層配線構造は第 2 の層間絶縁膜と前記第 2 の層間絶縁膜中に含まれる第 2 の配線層とを含み、

前記第 1 の多層配線構造は、前記基板表面から少なくとも前記第 2 の多層配線構造に達する支柱を含み、

前記第 1 の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置。

【請求項 2】 前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層と同一の層構造を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層とは異なる組成を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記支柱は、前記第 2 の多層配線構造の下面に係合する端部を有することを特徴とする請求項 1～3 のうち、いずれか一項記載の半導体装置。

【請求項 5】 前記第 2 の多層配線構造上には、電極パッドが形成されていることを特徴とする請求項 1～4 のうち、いずれか一項記載の半導体装置。

【請求項 6】 前記支柱は、前記基板のうち前記電極パッド直下の領域において複数個、全体として前記領域の少なくとも 15% の面積を占有するように形成されることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記第 1 の層間絶縁膜は第 1 のヤング率を有し、前記第 2 の層間絶縁膜は前記第 1 のヤング率よりも大きな第 2 のヤング率を有することを特徴とする請求項 1～6 のうち、いずれか一項記載の半導体装置。

【請求項 8】 前記第 1 のヤング率は 30 GPa 未満の値を有し、前記第 2 のヤング率は 30 GPa 以上の値を有することを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記第 1 のヤング率は、前記第 2 のヤング率の $1/2$ 以下であることを特徴とする請求項 7 または 8 記載の半導体装置。

【請求項 10】 前記支柱は、30 GPa 以上のヤング率を有することを特徴とする請求項 1～9 のうち、いずれか一項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置の係り、特に多層配線構造を有する半導体装置に関する。

【0002】

従来より、半導体装置を微細化することにより、スケーリング則に沿った動作速度の高速化が図られている。一方、最近の高密度半導体集積回路装置では、個々の半導体装置間を配線するのに一般に多層配線構造が使用されるが、かかる多層配線構造では、半導体装置が非常に微細化された場合、多層配線構造中の配線パターンが近接し、配線パターン間の寄生容量による配線遅延の問題が生じる。

【0003】

そこで、従来より、前記多層配線構造中における配線遅延の問題を解決すべく、多層配線構造中で層間絶縁膜を構成する絶縁膜に、従来より使われている SiO₂ 系の絶縁膜の代わりに炭化水素系あるいはフルオロカーボン系の有機絶縁膜に代表される低誘電率膜（いわゆる low-K 膜）を使い、また配線パターンに、従来より使われている Al の代わりに低抵抗の銅（Cu）を使うことが研究されている。かかる有機絶縁膜は誘電率が一般に 2.3～2.5 であるが、この値は従来の SiO₂ 層間絶縁膜より 40～50% も低い。

【0004】

低誘電率膜は一般に密度が小さく、このため配線パターンとの密着性や、耐湿性などに課題が残っている。このため現在では、超微細化配線パターンが形成さ

れ配線遅延の問題が深刻になる多層配線構造下層部に低誘電率膜とCu配線パターンを使い、配線パターン間隔が比較的疎な多層配線構造上層部には、密着性に優れた従来のSiO₂層間絶縁膜を使う構成が使われることが多い。

【0005】

【従来の技術】

図1は、従来の典型的な多層配線構造を有する半導体装置10の構成を示す。

【0006】

図1を参照するに、半導体装置10はSi基板11中に素子分離構造11Bにより画成された素子領域11A上に形成されており、前記Si基板11上に形成されたゲート絶縁膜12を介して形成されたゲート電極13と、前記ゲート電極13の両側に形成された一对の拡散領域11a, 11bとを含む。

【0007】

前記ゲート電極13は側壁面が側壁絶縁膜13a, 13bにより覆われ、さらに前記Si基板11上には、典型的にはダウケミカル社から登録商標名SiLKとして市販されている低誘電率有機層間絶縁膜14が、前記ゲート電極13および側壁絶縁膜13a, 13bを覆うように形成される。

【0008】

前記層間絶縁膜14上には同様な低誘電率有機層間絶縁膜15が形成され、前記層間絶縁膜15中にはCu配線パターン15A, 15Bが形成される。前記Cu配線パターン15A, 15Bの各々は前記層間絶縁膜14中に形成されたコンタクトプラグ14P, 14Qを介して前記拡散領域11a, 11bに電氣的に接続される。

【0009】

前記Cu配線パターン15A, 15Bは前記層間絶縁膜15上に形成された別の低誘電率有機層間絶縁膜16により覆われ、さらに前記層間絶縁膜16上にはさらに別の低誘電率有機層間絶縁膜17が形成されている。

【0010】

図示の例では前記層間絶縁膜16中にはCu配線パターン16A-16Cが、また前記層間絶縁膜17中にはCu配線パターン17A, 17Bが埋設されてお

り、前記配線パターン 16 A, 16 C は配線パターン 15 A, 15 B にそれぞれビアプラグ 16 P, 16 Q を介して接続され、また前記配線パターン 17 A, 17 B は前記配線パターン 16 A, 16 C にビアプラグ 17 P, 17 Q を介して接続されている。

【0011】

さらに図示の例では前記層間絶縁膜 17 上に SiOC 層間絶縁膜 18, 19, 20 が順次積層されており、前記層間絶縁膜 18 中には Cu あるいは Al よりなる配線パターン 18 A が、前記層間絶縁膜 19 中には Cu あるいは Al よりなる配線パターン 19 A が、また前記層間絶縁膜 20 中には Cu あるいは Al よりなる配線パターン 20 A が埋設されている。

【0012】

前記配線パターン 18 A, 19 A, 20 A は図示を省略したビアプラグにより相互に電氣的に接続されており、また前記配線パターン 18 A は図示を省略したビアプラグにより前記配線パターン 17 A, 17 B のいずれかに接続されている。

【0013】

図 1 の構造ではさらに前記層間絶縁膜 20 上に SiOC 膜 21 が形成されており、さらに前記 SiOC 膜 21 上に、前記図示した素子領域あるいは多層配線領域を避けて、図示していないコンタクトパッドが形成されている。前記コンタクトパッド上にはワイヤボンディングプロセスにより、ボンディングワイヤが接続される。

【0014】

図示の例では Cu 配線パターン 15 A, 14 B, 16 A-16 C, 17 A, 17 B などは CMP 工程を使ったダマシン法あるいはデュアルダマシン法で形成されるため、層間絶縁膜 15 ~ 17 は平坦な主面を有することを特徴とする。

【0015】

【特許文献 1】

特開 2000-150521 号公報

【0016】

【特許文献2】

特開 2001-53148 号公報

【0017】

【発明が解決しようとする課題】

図1の半導体装置10はこのように低誘電率層間絶縁膜と低抵抗Cu配線パターンとを組み合わせるため配線遅延が少なく、高速動作を行うことが可能であるが、本発明の発明者は、図1の構造において特に $0.1\mu\text{m}$ 設計ルール前後の非常に厳しい微細化を行った場合、ワイヤボンディングプロセスに伴って多層配線構造内において接触不良あるいは断線が生じることがあるのを見出した。

【0018】

図2は、図3に示すようにSi基板31上に厚さが $2\mu\text{m}$ の低誘電率下層膜(SiLK)32と厚さが $4\mu\text{m}$ のSiOC中間層膜33を積層し、さらにその上に厚さが $4\mu\text{m}$ のSiO₂上層膜34を積層した構造に対して 0.01GPa の応力を印加した場合の、得られた積層構造中における応力分布を示す。ただし図2は、本発明の発明者が本発明の基礎となる研究において求めたもので、低誘電率下層膜32の弾性率、すなわちヤング率の値を 2.5GPa 、中間層膜33のヤング率の値を 20GPa 、上層膜のヤング率の値を 70GPa として計算を行っている。

【0019】

図2を参照するに、縦軸に示す応力値は下方への印加応力を負の応力値と定義して示してあるが、このように弾性率の小さい低誘電率有機絶縁膜とより弾性率の高い無機絶縁膜とを積層した構造においては、上層膜34および中間層膜33には実質的な応力の集中はなく、低誘電率膜32中に応力が集中することがわかる。

【0020】

このような低誘電率層間絶縁膜中への応力の集中の結果、図3に示すように低誘電率下層膜32中のCuパターン32Aは変形し、特に膜中の応力がCuパターンの破壊靱性値を超えると塑性変形を生じてしまう。この場合、印加応力が解除されると低誘電率膜32は緩やかに元の状態に戻るが、Cuパターン32Aは

当初の状態に復元せず、その結果、配線パターンの中に隙間 32 X などの欠陥が生じてしまう。

【0021】

一般に CVD-SiO₂ 膜などの無機絶縁膜は 60～70 GPa 程度の大きなヤング率を有しているのに対し、有機系の低誘電率膜は膜密度が低いため、数 GPa 程度のヤング率しか有していない。例えば前記登録商標名 SiLK で広く使われている芳香族炭化水素膜は 2.5 GPa 程度のヤング率しか有していない。またプラズマ CVD 法で形成される SiOC 膜でも、3.0 以下の比誘電率を有し低誘電率層間絶縁膜として使われる膜、例えば Novellus 社から登録商標名 Coral で市販されている低誘電率プラズマ CVD-SiOC 膜、あるいは Applied Materials 社から登録商標名 Black Diamond で市販されている低誘電率プラズマ CVD-SiOC 膜、あるいは ASM 社から登録商標名 Aurora で市販されている低誘電率プラズマ CVD-SiOC 膜なども、20 GPa 以下のヤング率しか有していない。これに対し、ワイヤボンディング工程では 0.1～0.2 GPa の応力が半導体装置に印加される。

【0022】

このような外部応力による多層配線構造あるいは活性素子の破損の問題は、図 1 の従来の構成のように、素子領域 11 A あるいはその上の多層配線構造を、ワイヤボンディングが行われる電極パッド直下の領域を避けて形成することで回避することが一応可能ではある。しかし、最近の一辺の長さが 100 μm を切るような超小型半導体集積回路チップ、例えば一辺の長さが 25 μm の超小型半導体集積回路チップの場合、あるいはチップ全面にわたり活性素子が形成される高機能半導体集積回路チップの場合、図 4 に示すように素子領域 11 A あるいはその上の多層配線構造の直上に電極パッド 22 を形成せざるを得ない状況が生じつつある。このような場合には、図 2 および図 3 で説明したワイヤボンディング工程に伴う応力による多層配線構造の変形および断線は深刻な問題となる。

【0023】

またこのような低誘電率層間絶縁膜への応力集中による多層配線構造の変形および断線の問題は、多数の半導体集積回路装置が形成されたウェハをダイシング

する際においても生じる可能性がある。すなわちこの場合には、ダイシングソーの応力が上層の大きな弾性率を有する多層配線構造を介して低誘電率層間絶縁膜を有する多層配線構造に作用する。

【0024】

そこで本発明上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

【0025】

本発明のより具体的な課題は、低誘電率層間絶縁膜を含む多層配線構造を有する半導体装置において、低誘電率層間絶縁膜への応力集中を抑制できる素子構造を提供することにある。

【0026】

【課題を解決するための手段】

本発明は上記の課題を、基板と、前記基板上に形成された第1の多層配線構造と、前記第1の多層配線構造上に形成された第2の多層配線構造とを備え、前記第1の多層配線構造は第1の層間絶縁膜と前記第1の層間絶縁膜中に含まれる第1の配線層とを含み、前記第2の多層配線構造は第2の層間絶縁膜と前記第2の層間絶縁膜中に含まれる第2の配線層とを含み、前記第1の多層配線構造は、前記基板表面から少なくとも前記第2の多層配線構造に達する支柱を含み、前記第1の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置により、解決する。

【0027】

本発明によれば、ワイヤボンディング工程、あるいはダイシング工程において低誘電率層間絶縁膜を含む多層配線構造に応力が印加された場合であっても、応力荷重が基板上に形成された一または複数の支柱により支えられ、柔らかい低誘電率層間絶縁膜に応力が伝達されるのが回避される。これに伴い、多層配線構造中の微細な配線パターンの変形や断線が回避される。

【0028】

【発明の実施の形態】

〔第1実施例〕

図 5 は、本発明の第 1 実施例による半導体集積回路装置 1 0 0 の構成を示す。

【 0 0 2 9 】

図 5 を参照するに半導体集積回路装置 1 0 0 は S T I などの素子分離構造 1 0 1 C により素子領域 1 0 1 A, 1 0 1 B を画成された S i 基板 1 0 1 上に形成されており、前記素子領域 1 0 1 A においては S i 基板 1 0 1 上にゲート絶縁膜を介して一对の側壁絶縁膜を有するゲート電極 1 0 2 A が形成されており、前記 S i 基板 1 0 1 中には前記ゲート電極 1 0 2 A の両側に拡散領域 1 0 1 a, 1 0 1 b が形成されている。同様に前記素子領域 1 0 1 B においては S i 基板 1 0 1 上にゲート絶縁膜を介して一对の側壁絶縁膜を有するゲート電極 1 0 2 B が形成されており、前記 S i 基板 1 0 1 中には前記ゲート電極 1 0 2 B の両側に拡散領域 1 0 1 c, 1 0 1 d が形成されている。

【 0 0 3 0 】

前記ゲート電極 1 0 2 A, 1 0 2 B は前記 S i 基板 1 0 1 上に形成された S i L K など、典型的には比誘電率が 3. 0 を切る低誘電率層間絶縁膜 1 0 3 により覆われており、前記層間絶縁膜 1 0 3 上には C u 配線パターン 1 0 4 A, 1 0 4 B, 1 0 4 C および 1 0 4 D を含む同様な低誘電率層間絶縁膜 1 0 4 が形成されている。図 1 の例と同様に、前記 C u 配線パターン 1 0 4 A, 1 0 4 B, 1 0 4 C, 1 0 4 D はそれぞれのコンタクトホール 1 0 4 a, 1 0 4 b, 1 0 4 c, 1 0 4 d を介して対応する拡散領域 1 0 1 a, 1 0 1 b, 1 0 1 c, 1 0 1 d に電氣的に接続されている。

【 0 0 3 1 】

前記低誘電率層間絶縁膜 1 0 4 上には同様な低誘電率層間絶縁膜 1 0 5, 1 0 6, 1 0 7 が順次積層されており、前記低誘電率層間絶縁膜 1 0 5 中には C u 配線パターン 1 0 5 A ~ 1 0 5 D が、前記低誘電率層間絶縁膜 1 0 6 中には C u 配線パターン 1 0 6 A ~ 1 0 6 D が、さらに前記低誘電率層間絶縁膜 1 0 7 中には C u 配線パターン 1 0 7 A ~ 1 0 7 D が、順次形成されている。これらの配線パターンは、図示を省略したビアプラグにより、所望の回路パターンに従って相互に接続されている。

【 0 0 3 2 】

先にも説明したように、前記低誘電率層間絶縁膜 103～107 として SiLK を使った場合には、これらの層間絶縁膜のヤング率は 2.5 GPa 程度にしかない。

【0033】

さらに図 5 の構造では前記層間絶縁膜 107 上にプラズマ CVD 法により、SiO₂ 膜あるいは SiOC 膜よりなる層間絶縁膜 108 および 109 が順次堆積され、前記層間絶縁膜 108 中には Cu あるいは Al 合金よりなる配線パターン 108A～108D が形成されている。また前記層間絶縁膜 109 中には同様な配線パターン 109A～109D が形成されている。これらの配線パターンは、所望の回路パターンに従って相互に接続されている。

【0034】

図 5 の構造ではさらに前記層間絶縁膜 109 上にプラズマ CVD 法により形成された SiOC 膜あるいは SiO₂ 膜よりなる絶縁膜 110 が形成され、前記 SiOC 膜 110 上にはワイヤボンディングのためのコンタクトパッド 111 が形成されている。図示の例では、前記コンタクトパッドは前記パッシベーション膜 110 中のコンタクトプラグ 110V を介して配線パターン 109B に接続されている。図 5 の構造において前記層間絶縁膜 108～110 は、60～70 GPa のヤング率を有する。

【0035】

図 5 の半導体集積回路装置 100 では、さらに前記素子分離構造 101C 上に、前記素子分離構造 101C からコンタクトパッド 111 まで連続して、一直線上を延在する支柱 P100 が形成されている。

【0036】

本実施例において前記支柱 P100 は、各層間絶縁膜中において、層間絶縁膜中に形成される配線パターンおよびビアプラグと同時に形成され、従って支柱 P は各層間絶縁膜中において、層間絶縁膜中の配線パターンおよびビアプラグと同じ層構造を有している。

【0037】

すなわち前記層間絶縁膜 103 および 104 中において支柱 P100 は配線パ

ターン 104A~104D と同一レベルに形成された Cu パターン 104P とビアプラグ 104a~104d と同一レベルに形成された Cu プラグ 104p とよりなり、前記層間絶縁膜 105 中においては配線パターン 105A~105D と同一レベルに形成された Cu パターン 105P とビアプラグ 105a~105d と同一レベルに形成された Cu プラグ 105p とよりなる。さらに前記支柱 P100 は前記層間絶縁膜 106 中においては配線パターン 106A~106D と同一レベルに形成された Cu パターン 106P とビアプラグ 106a~106d と同一レベルに形成された Cu プラグ 106p とよりなり、前記層間絶縁膜 107 中においては配線パターン 107A~107D と同一レベルに形成された Cu パターン 107P とビアプラグ 107a~107d と同一レベルに形成された Cu プラグ 107p とよりなる。また前記支柱 P100 は前記層間絶縁膜 108 中においては配線パターン 108A~108D と同一レベルに形成された Cu パターン 108P とビアプラグ 108a~108d と同一レベルに形成された Cu プラグ 108p とよりなり、前記層間絶縁膜 109 中においては配線パターン 109A~109D と同一レベルに形成された Cu パターン 109P とビアプラグ 109a~109d と同一レベルに形成された Cu プラグ 109p とよりなる。

【0038】

さらに図 5 の構造では前記支柱 P100 は、前記パッシベーション膜 110 中に形成されたプラグ 110P により、前記コンタクトパッド 111 の下面に係合している。

【0039】

このように前記支柱 P100 を構成する部材 104P~110P および 104p~109p は先にも説明したように一直線上に配列されており、前記コンタクトパッド 111 にワイヤボンディングの際に応力が印加された場合、支柱 P100 はこの応力を効果的に支えることが可能である。

【0040】

図 6 は、先に説明した図 3 のモデルにおいて、図 5 と同様な支柱を、 $0.14 \times 0.14 \mu\text{m}$ のサイズで設けた場合の、構造中に生じる応力分布を示す。ただし図 6 中、先に図 2 で説明した、支柱を設けない場合の応力分布を曲線 A で、支

柱を設けた場合の応力分布を曲線Bで示してある。

【0041】

図6を参照するに、曲線Aに示される低誘電率膜中における応力の集中が、支柱を設けることにより効果的に回避されているのがわかる。

【0042】

図7(A)～図8(E)は、図5の半導体集積回路装置100の製造工程の一部を示す図である。

【0043】

図7(A)を参照するに、図5で説明した低誘電率層間絶縁膜104中にはCu配線パターン104CおよびCuビアプラグ104cの他に、前記支柱Pの一部を構成するCu支柱パターン104PおよびCu支柱プラグ104pが形成されており、前記層間絶縁膜104上には次の層間絶縁膜105が、典型的にはSiCよりなるバリア膜105Sを介して形成されている。なお前記層間絶縁膜104中においてCu配線パターン104CおよびCuビアプラグ104c、およびCu支柱パターン104PおよびCu支柱プラグ104pは、典型的にはTa₂Nなどの導電性窒化物よりなるバリアメタル膜104BMにより、層間絶縁膜104との界面が覆われている。

【0044】

次に図7(B)の工程において前記SiC膜105Tをレジストプロセスによりパターンニングして前記支柱Pに対応した開口部を形成し、さらに前記層間絶縁膜105を前記SiC膜105Tをハードマスクにパターンニングすることにより、前記層間絶縁膜105中にはCu支柱パターン104Pを露出するビアホール105Vが形成される。

【0045】

さらに図7(C)の工程において前記SiC膜105Tをさらなるレジストプロセスによりパターンニングし、次の配線パターン105Cおよび次の支柱パターン105Pにそれぞれ対応した開口部を形成し、さらにこのようにパターンニングされたSiC膜105Tをマスクに前記層間絶縁膜105をパターンニングすることにより、前記層間絶縁膜105中には前記Cu配線パターン105Cに対応し

た配線溝 105GC と、前記 Cu 支柱パターン 105P に対応した溝 105GP とが同時に形成される。

【0046】

さらに図 8 (D) の工程で図 7 (C) の構造上に TaN などよりなるバリアメタル膜 105BM を形成し、さらにその上にスパッタにより Cu シード層 105Sd を形成する。

【0047】

さらに図 8 (E) の工程において前記 Cu シード層 105Sd を電極に Cu 層の電解めっきを行ない、前記層間絶縁膜 105 上の余分の Cu 層を前記シード層 105Sd、バリアメタル膜 105BM およびハードマスク層 105T 共々、CMP 法により研磨・除去することにより、前記配線溝 105GC を充填する Cu 配線パターン 105C と、前記溝 105GP および前記ビアホール 105V を充填する支柱パターン 105P および支柱プラグ 105p が前記層間絶縁膜 105 中に形成される。このようにして形成された支柱プラグ 105p は下層の支柱パターン 104P に係合し、従って、このような工程を繰り返すことにより、基板 101 からコンタクトパッド 111 まで連続して延在する支柱 P 100 が形成される。

【0048】

さらに本発明の発明者は、図 9 に示す、一辺の長さが $0.7\mu\text{m}$ の多数の孤立 Cu パターンを $0.4\mu\text{m}$ 間隔でマトリクス状に配列したモデル多層配線構造について、支柱 P の密度を様々に変化させ、配線パターンに印加される応力を評価するシミュレーションを行った。

【0049】

その結果、特定の層構造で比較した場合、配線層に印加される応力は全ての Cu パターンが支柱である場合にゼロになるのは当然として、支柱 P が 4 % の面積比で形成されている場合、 0.88GPa 、16 % の面積比で形成されている場合 0.79GPa 、48 % の面積比で形成されている場合 0.74GPa となり、支柱 P を約 15 % 以上の面積比で形成しておけば、図 5 の層間絶縁膜 103 ~ 107 中に形成される Cu 配線パターンに印加される応力を所望のレベル、今の

モデルでは 0.8 GPa 以下に抑制できることが見出された。

【0050】

本実施例では支柱 P100 は、コンタクトパッド 111 直下に、可能な限り多数、一様な密度で形成するのが好ましい。

【0051】

なお本実施例では前記低誘電率層間絶縁膜 103~107 として、SiLK の他に SOG 膜、Novellus Systems 社より登録商標名 Coral で市販されている低誘電率 CVD-SiOC 膜、あるいは Applied Materials 社より Black Diamond の登録商標名で市販されている低誘電率 CVD-SiOC 膜、さらには低誘電率 FSG 膜（いわゆる low FSG 膜）、MSQ 膜、HSQ 膜、FSQ 膜などを使うことも可能である。これらには、ダウコーニングシリコン社より市販の HSQ 塗付膜、旭化成（株）より登録商標名 ALCAP-E として市販の全芳香族アリアルエーテル塗付膜、ハネウエル社より登録商標名 FLARE で市販のアリアルエーテル塗付膜、ダウケミカル社より登録商標名 SiLK で市販のアリアルエーテル塗付膜、ダウケミカル社より市販のベンゾシクロブテン（BCB）塗付膜、ダウケミカル社より市販のベンゾシクロブテン（BCB）CVD 膜、アプライドマテリアル社より登録商標名 Black Diamond で市販の無機あるいは有機 SiOCH-CVD 膜、富士通（株）およびトリケミカル社より市販の FSQ（フッ素含有水素シルセスキオキサン）塗付膜、JSR 社より登録商標名 LKD-T200 で市販の無機あるいは有機メチルシルセスキオキサン（MSQ）塗付膜、前記 Novellus Systems 社より登録商標名 Coral で市販の無機あるいは有機 SiOCH-CVD 膜、ASM 社より登録商標 Aurora で市販の無機あるいは有機 SiOCH-CVD 膜、ハネウエル社より登録商標名 HOSP として市販の無機あるいは有機 MSQ 塗付膜、ダウコーニングシリコン社よりポーラス HSQ として市販の無機ポーラス化 HSQ 塗付膜、住友化学（株）より登録商標名 ALS-400 として市販の有機ポーラス化アリアルエーテル塗付膜、触媒化成（株）より登録商標名 IPS として市販の無機あるいは有機 SiH 系ポーラス塗布膜、ハネウエル社より登録商標名 Nanoglass-E として市販の無機あるいは有機 SiOCH 塗布膜、JSR 社より登録商標名 LKD-T400 として市販の無機あるいは有機ポーラ

ス化MSQ塗布膜、旭化成（株）より登録商標名ALCAP-Sとして市販の無機ポーラスシリカ塗布膜、ダウケミカル社よりポーラスSiLKとして市販の有機ポーラス化アリールエーテル塗布膜、ハネウエル社よりポーラス化FLAREとして市販の有機ポーラス化アリールエーテル塗付膜、神戸製鋼所よりsilica aerogelとして市販の無機高圧乾燥ポーラスシリカ膜などの、比誘電率が3.0以下の膜が含まれる。

[第2実施例]

図10は、本発明の第2実施例による半導体集積回路装置200の構成を示す。ただし図10中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0052】

図10を参照するに、半導体集積回路装置200は前記図5の半導体集積回路装置100と類似した構成を有するが、支柱P100の代わりに支柱P200が低誘電率多層配線構造中のみを延在し、従って支柱Pの端部が前記層間絶縁膜108の下面を支える構成になっている点で相違している。

【0053】

図10の構成においても前記層間絶縁膜108～110が比較的大きなヤング率を有しているため、先に図2で説明したようにコンタクトパッド111に印加された応力は効率的に低誘電率層間絶縁膜103～107に伝達される。このため、前記支柱P200を本実施例のように前記低誘電率層間絶縁膜103～107中に形成しただけでも、前記支柱P200は印加応力を支え、微細なCu配線パターンへの応力の印加が効果的に回避される。

[第3実施例]

図11は、本発明の第3実施例による半導体主席回路装置300の構成を示す。ただし図11中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0054】

図 11 を参照するに、本実施例では S i 基板 101 中の S T I 構造 101 C に
対応して層間絶縁膜 103 ~ 110 を貫通するスルーホール 301 が形成され、
前記スルーホール 301 中には W よりなる支柱 P 300 が前記 S T I 構造 101
C から前記コンタクトパッド 111 まで、一直線に連続して延在する。

【0055】

図 12 は、図 11 の構造の製造工程を示す。

【0056】

図 12 を参照するに、前記 S i 基板 101 上にダマシン工程を行うことにより
層間絶縁膜 103 ~ 110 までを含む積層構造が形成された後、前記層間絶縁膜
110 上にレジスト膜 R を形成し、これをパターニングして前記 S T I 構造 10
1 C に、前記層間絶縁膜 103 ~ 110 を連続して延在し、S T I 構造 101 C
の表面を露出するように、前記スルーホール 301 を形成する。

【0057】

さらに図 12 の工程の後、前記レジスト膜 R を除去し、前記スルーホール 30
1 を W の C V D 法により形成された W 膜で充填し、さらに前記層間絶縁膜 110
上に残留する W 膜を C M P 工程により除去することにより、前記スルーホール 3
01 を充填するように、図 11 で示した W の連続的な支柱 P 300 が形成される
。

【0058】

なお、図 11 の実施例の一変形例として、図 13 に示すように前記スルーホー
ル 301 を層間絶縁膜 103 ~ 107 中にのみ形成し、前記スルーホール 301
を W プラグ P 300 で充填した後、かかる構造上に層間絶縁膜 108 ~ 110 お
よびそれぞれの配線パターンを有する多層配線構造を形成するようにしてもよい
。

【0059】

なお、本実施例において支柱 P 300 は W プラグに限定されるものではなく、
C V D、電解めっき、無電解めっき、スパッタ等様々な成膜方法を使って形成す
ることができ、支柱 P 300 の材料も W に限定されるものではなく、C u や A l
, N i などの他の金属材料、あるいは T a N などの窒化物、さらにはダイヤモンド

ドやフラーレン、カーボンナノチューブなどの材料を使うことも可能である。

[第4実施例]

図14 (A), (B) は、本発明の第4実施例による半導体集積回路装置の一部を示す平面図である。

【0060】

先に図9で説明したように、本発明の支柱はコンタクトパッド直下に、可能な限り多数、一様な密度で形成するのが好ましい。特に微細な配線パターンへの応力集中を回避する目的から考えると、このような支柱は、配線パターンの周囲に、配線パターンを両側から支えるように配設するのが好ましい。

【0061】

図14 (A) は、かかる支柱の配置の例であり、配線パターン401の両側に支柱P400が配列されているのがわかる。ただし支柱P400は、前記支柱P100～300のいずれかと同様な断面構造を有しており、また配線パターン401は前記層間絶縁膜103～107のいずれかに形成された配線パターン、すなわち配線パターン104A～104D, 105A～105D, 106A～106D, 107A～107Dのいずれかを表す。

【0062】

図14 (B) は、前記配線パターン401の屈曲部を示す。

【0063】

このような屈曲部においても、前記支柱P400を配線パターン401の両側に配置することにより、配線パターン401への応力の印加およびこれに伴う配線パターンの変形あるいは断線の問題を効果的に回避することができる。

【0064】

図14 (A), (B) の例では円形断面を有する支柱P400を使ったが、図15 (C) あるいは15 (D) の変形例に示すように矩形断面を有する支柱P410を使うことも可能である。

【0065】

図15 (C) を参照するに、図示の構成では支柱P410は平面図上で配線パ

ターン 401 の両側において配線パターン 401 に沿って延在し、前記配線パターン 401 に印加される応力を支える。

【0066】

図 15 (D) は図 15 (C) の構造を配線パターン 401 の屈曲部について示すが、この場合には前記矩形断面の支柱 P 410 が配線パターン 401 の一方の側において配線パターン 401 に沿って延在するように配置されると同時に、他方の側に矩形の支柱 P 411 が形成されているのがわかる。

[第 5 実施例]

図 16 は本発明の第 5 実施例による半導体チップ領域 500₁～500₄の構成を示す。

【0067】

図 16 を参照するに半導体チップ領域 500₁～500₄はシリコンウェハ上にスクライブライン 501 により、個々の半導体チップに対応して画成されている。

【0068】

以下では、半導体チップ領域 500₁についてのみ説明する。

【0069】

図 16 を参照するに、半導体チップ領域 500₁では前記スクライブライン 501 に沿って、例えば図 5 の支柱 P 100 と同様な断面構造を有する壁 P 500 が、前記半導体チップ領域 500₁の外周を連続して囲むように形成されている。

【0070】

このようにして形成された壁 P 500 は半導体チップ内部への水分やガスの侵入を阻止する耐湿リングとして作用するが、同時にシリコンウェハを前記スクライブライン 501 に沿ってダイシングソーにより切断する際にチップ内部の低誘電率層間絶縁膜中に埋設された微細な配線パターンに印加される応力を阻止する機能をも果たす。

【0071】

なお、以上の各実施例の説明では多層配線構造中に形成される支柱は、STI 構造 101C 上に形成されていたが、本発明はかかる特定の構成に限定されるものではなく、前記支柱は Si 基板上の他の絶縁膜上に、あるいは Si 基板表面上に直接に形成することも可能である。ただし拡散領域など、活性領域を避けるのが好ましい。

【0072】

また本発明は前記低誘電率層間絶縁膜 103～107 中の配線パターンが Cu 配線パターンである場合に限定されるものではなく、これらが Cu 合金よりなる配線パターン、あるいは Al あるいは Al 合金よりなる配線パターンの場合にも適用可能である。同様に本発明は前記層間絶縁膜 108～109 中の配線パターンが Cu 配線パターンである場合に限定されるものではなく、これが Cu 合金よりなる配線パターン、あるいは Al あるいは Al 合金よりなる配線パターンの場合にも適用可能である。

【0073】

さらに本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0074】

(付記 1) 基板と、
前記基板上に形成された第 1 の多層配線構造と、
前記第 1 の多層配線構造上に形成された第 2 の多層配線構造とを備え、
前記第 1 の多層配線構造は第 1 の層間絶縁膜と前記第 1 の層間絶縁膜中に含まれる第 1 の配線層とを含み、
前記第 2 の多層配線構造は第 2 の層間絶縁膜と前記第 2 の層間絶縁膜中に含まれる第 2 の配線層とを含み、
前記第 1 の多層配線構造は、前記基板表面から少なくとも前記第 2 の多層配線構造に達する支柱を含み、
前記第 1 の配線層は、前記支柱を避けて形成されていることを特徴とする半導体装置。

【0075】

(付記 2) 前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層と同一の層構造を有することを特徴とする付記 1 記載の半導体装置。

【 0 0 7 6 】

(付記 3) 前記支柱は、前記第 1 の多層配線構造中において前記第 1 の配線層とは異なる組成を有することを特徴とする付記 1 記載の半導体装置。

【 0 0 7 7 】

(付記 4) 前記支柱は、前記第 2 の多層配線構造の下面に係合する端部を有することを特徴とする付記 1 ～ 3 のうち、いずれか一項記載の半導体装置。

【 0 0 7 8 】

(付記 5) 前記支柱はさらに前記第 2 の多層配線構造中を延在し、前記第 2 の多層配線構造中を延在する部分では、前記第 2 の配線層と同一の層構造を有することを特徴とする付記 1 または 2 記載の半導体装置。

【 0 0 7 9 】

(付記 6) 前記支柱はさらに前記第 2 の多層配線構造中を延在し、前記支柱は前記第 1 および第 2 の配線層とは異なる組成を有することを特徴とする付記 1 記載の半導体装置。

【 0 0 8 0 】

(付記 7) 前記第 2 の多層配線構造上には、電極パッドが形成されていることを特徴とする付記 1 ～ 6 のうち、いずれか一項記載の半導体装置。

【 0 0 8 1 】

(付記 8) 前記支柱は、前記基板のうち前記電極パッド直下の領域において複数個、全体として前記領域の少なくとも 1 5 % の面積を占有するように形成されることを特徴とする付記 7 記載の半導体装置。

【 0 0 8 2 】

(付記 9) 前記基板上、前記電極パッドの直下の領域には活性素子が形成されていることを特徴とする付記 7 または 8 記載の半導体装置。

【 0 0 8 3 】

(付記 1 0) 前記第 1 の層間絶縁膜は第 1 のヤング率を有し、前記第 2 の層間絶縁膜は前記第 1 のヤング率よりも大きな第 2 のヤング率を有することを特徴

とする付記 1～9 のうち、いずれか一項記載の半導体装置。

【0084】

(付記 11) 前記第 1 のヤング率は 30 GPa 未満の値を有し、前記第 2 のヤング率は 30 GPa 以上の値を有することを特徴とする付記 10 記載の半導体装置。

【0085】

(付記 12) 前記第 1 のヤング率は、前記第 2 のヤング率の $1/2$ 以下であることを特徴とする付記 10 または 11 記載の半導体装置。

【0086】

(付記 13) 前記支柱は、30 GPa 以上のヤング率を有することを特徴とする付記 1～12 のうち、いずれか一項記載の半導体装置。

【0087】

(付記 14) 前記第 1 の多層配線構造においては、前記支柱が複数個、前記第 1 の配線層を構成する配線パターンの両側に位置するように形成されることを特徴とする付記 1～13 のうち、いずれか一項記載の半導体装置。

【0088】

(付記 15) 前記支柱は前記基板表面を連続的に延在する壁面を形成することを特徴とする付記 1～14 のうち、いずれか一項記載の半導体装置。

【0089】

(付記 16) 前記支柱は、前記第 1 および第 2 の多層配線構造中を前記基板の外周に沿って連続的に延在し、耐湿リングを形成することを特徴とする付記 1 記載の半導体装置。

【0090】

(付記 17) 前記第 1 の層間絶縁膜は多孔質膜よりなることを特徴とする付記 1～16 のうち、いずれか一項記載の半導体装置。

【0091】

(付記 18) 前記第 1 の層間絶縁膜は有機膜であることを特徴とする付記 1～16 のうち、いずれか一項記載の半導体装置。

【0092】

(付記 19) 前記第 2 の層間絶縁膜は、CVD 絶縁膜であることを特徴とする付記 1 ～ 18 のうち、いずれか一項記載の半導体装置。

【0093】

(付記 20) 前記支柱は、前記基板上の素子分離構造上に設けられることを特徴とする付記 1 ～ 19 のうち、いずれか一項記載の半導体装置。

【0094】

【発明の効果】

本発明によれば、比誘電率が典型的には 3.0 以下でヤング率が 30 GPa 以下の低誘電率層間絶縁膜を使った第 1 の多層配線構造と、比誘電率が 3.0 以上でヤング率が 30 GPa 以上の層間絶縁膜を使った第 2 の多層配線構造とを基板上において積層した構造の半導体装置において、ワイヤボンディングなどの際における前記第 1 の多層配線構造中の微細な配線パターンへの応力の印加が、少なくとも前記第 1 の多層配線構造中に支柱を形成することにより抑制される。

【図面の簡単な説明】

【図 1】

従来の多層配線構造を有する半導体集積回路装置の構成を示す図である。

【図 2】

従来の多層配線構造中における応力分布を示す図である。

【図 3】

図 2 の応力分布に対応したモデル構造を示す図である。

【図 4】

従来の多層配線構造を有する半導体集積回路装置において生じる問題点を説明する図である。

【図 5】

本発明の第 1 実施例による半導体集積回路装置の構成を示す図である。

【図 6】

本発明の効果を示す図である。

【図 7】

(A) ～ (C) は、図 5 の半導体集積回路装置の製造工程を示す図 (その 1)

である。

【図 8】

(D) ~ (E) は、図 5 の半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 9】

本発明における支柱の分布の一例を示す図である。

【図 10】

本発明第 2 実施例による半導体集積回路装置の構成を示す図である。

【図 11】

本発明第 3 実施例による半導体集積回路装置の構成を示す図である。

【図 12】

図 11 の半導体集積回路装置の製造工程を示す図である。

【図 13】

図 11 の半導体集積回路装置の一変形例を示す図である。

【図 14】

(A), (B) は、本発明の第 4 実施例による半導体集積回路装置の一部を示す平面図である。

【図 15】

(C), (D) は、本発明の第 4 実施例による半導体集積回路装置の一部を示す平面図である。

【図 16】

本発明第 5 実施例による半導体ウェハの一部を示す平面図である。

【符号の説明】

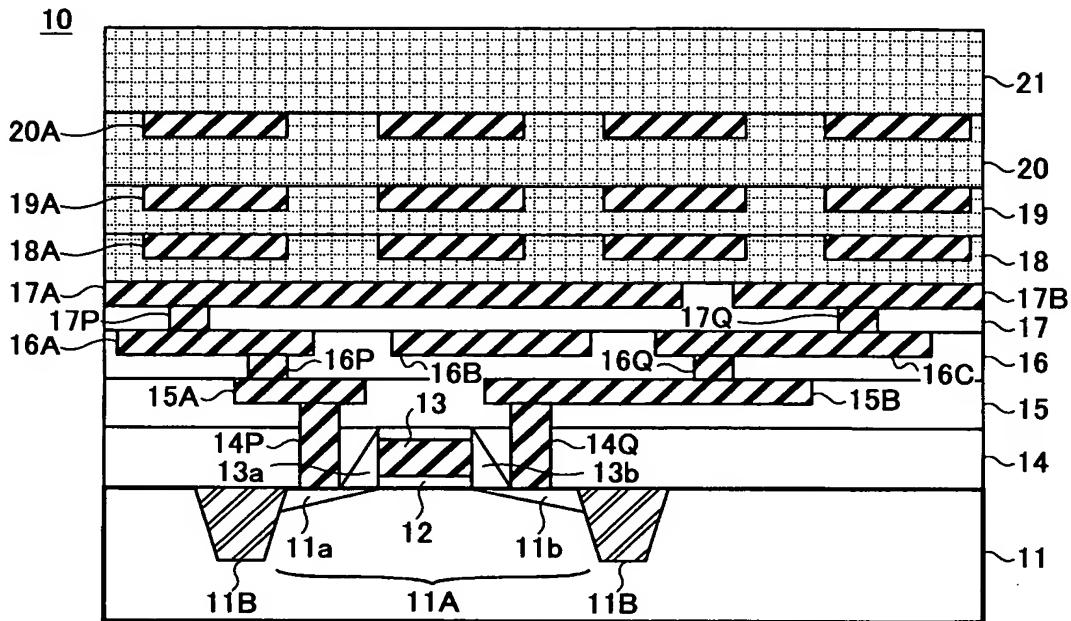
- 10, 100 半導体集積回路装置
- 11, 31, 101 基板
- 11A, 101A, 10B 素子領域
- 11B, 101C 素子分離構造
- 11a, 11b, 101a ~ 101d 拡散領域
- 12 ゲート絶縁膜

13, 102A, 102B ゲート電極
13a, 13b ゲート側壁絶縁膜
14~17, 32, 103~107 低誘電率層間絶縁膜
14P~14Q, 16P~16Q, 17P~17Q, 104a~104d, 110V ビアプラグ
15A~15B, 16A~16C, 17A~17B, 104A~104D, 105A~105D, 106A~106D, 107A~107D 下部配線層
18~21, 33~34 層間絶縁膜
18A, 19A, 20A, 108A~108D, 109A~109D 上部配線層
22, 111 コンタクトパッド
32A 配線パターン
32X 隙間
104BM TaNバリアメタル
104P~109P 支柱パターン
104p~109p 支柱プラグ
105GC 配線パターン溝
105GP 支柱パターン溝
105S SiCバリア膜
105Sd Cuシード層
105T SiCハードマスク
105V ビアホール
500₁~500₄ チップ領域
501 スクライブライン
P100~P300, P400 支柱
P500 支柱兼耐湿リング

【書類名】 図面

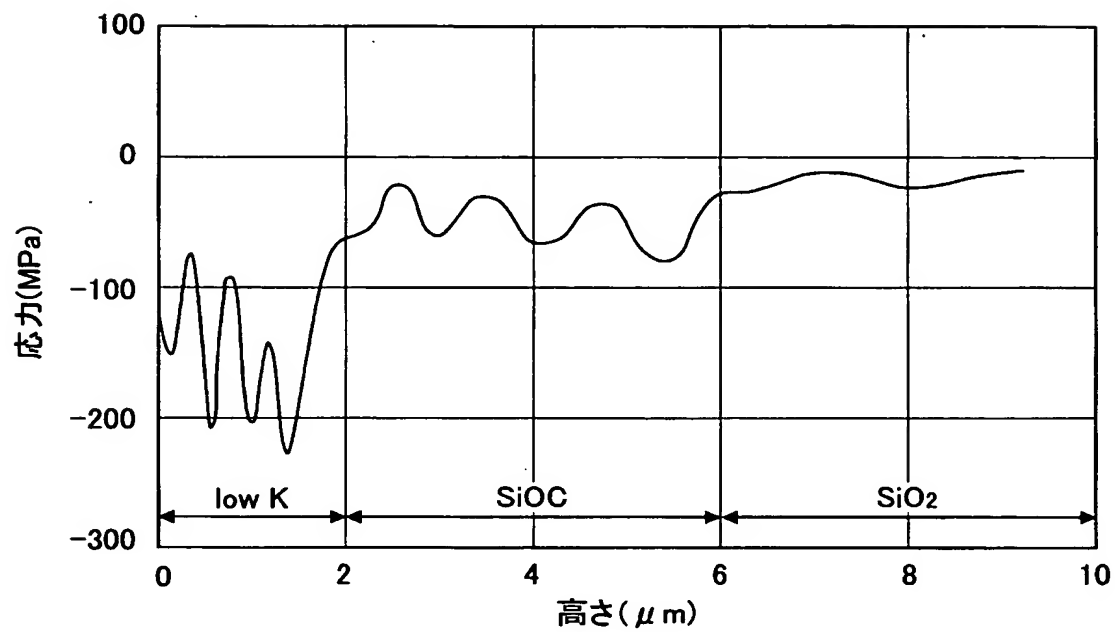
【図 1】

従来の多層配線構造を有する半導体集積回路装置の構成を示す図



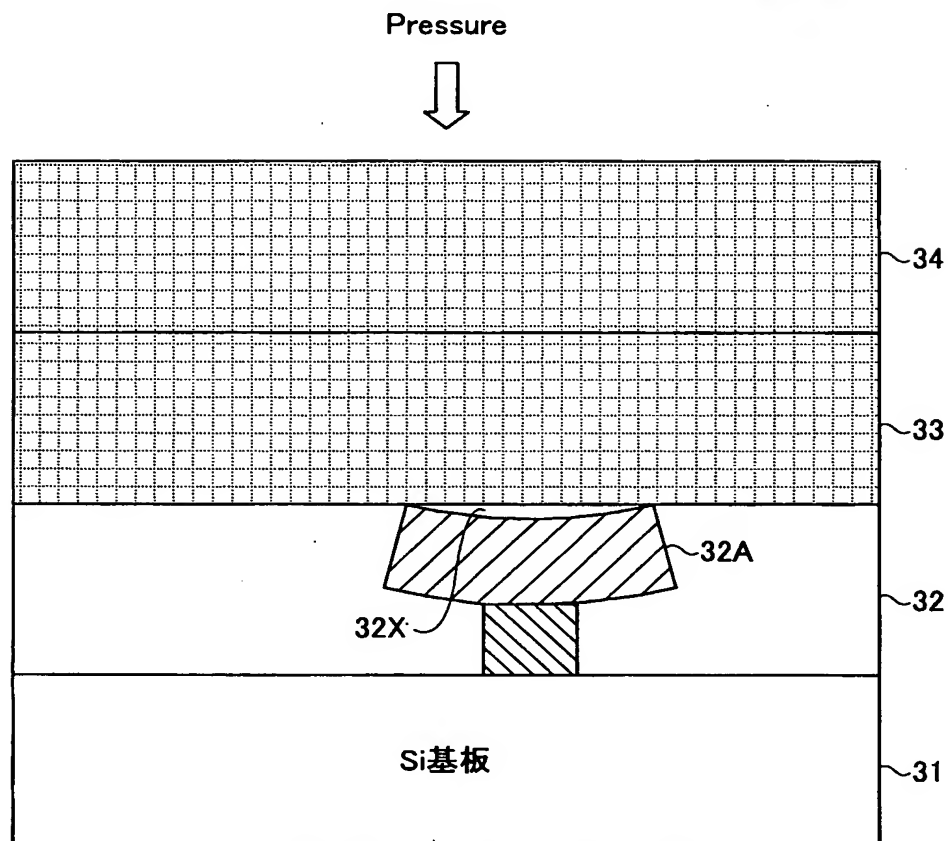
【図 2】

従来の多層配線構造中における応力分布を示す図



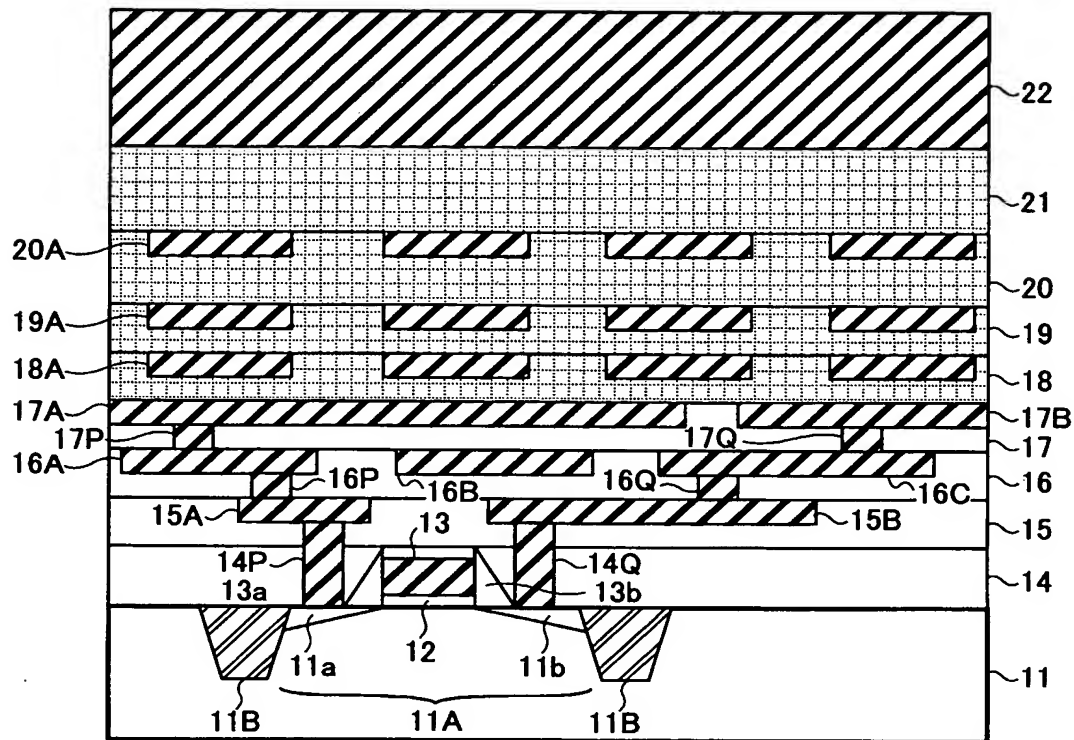
【図 3】

図2の応力分布に対応したモデル構造を示す図



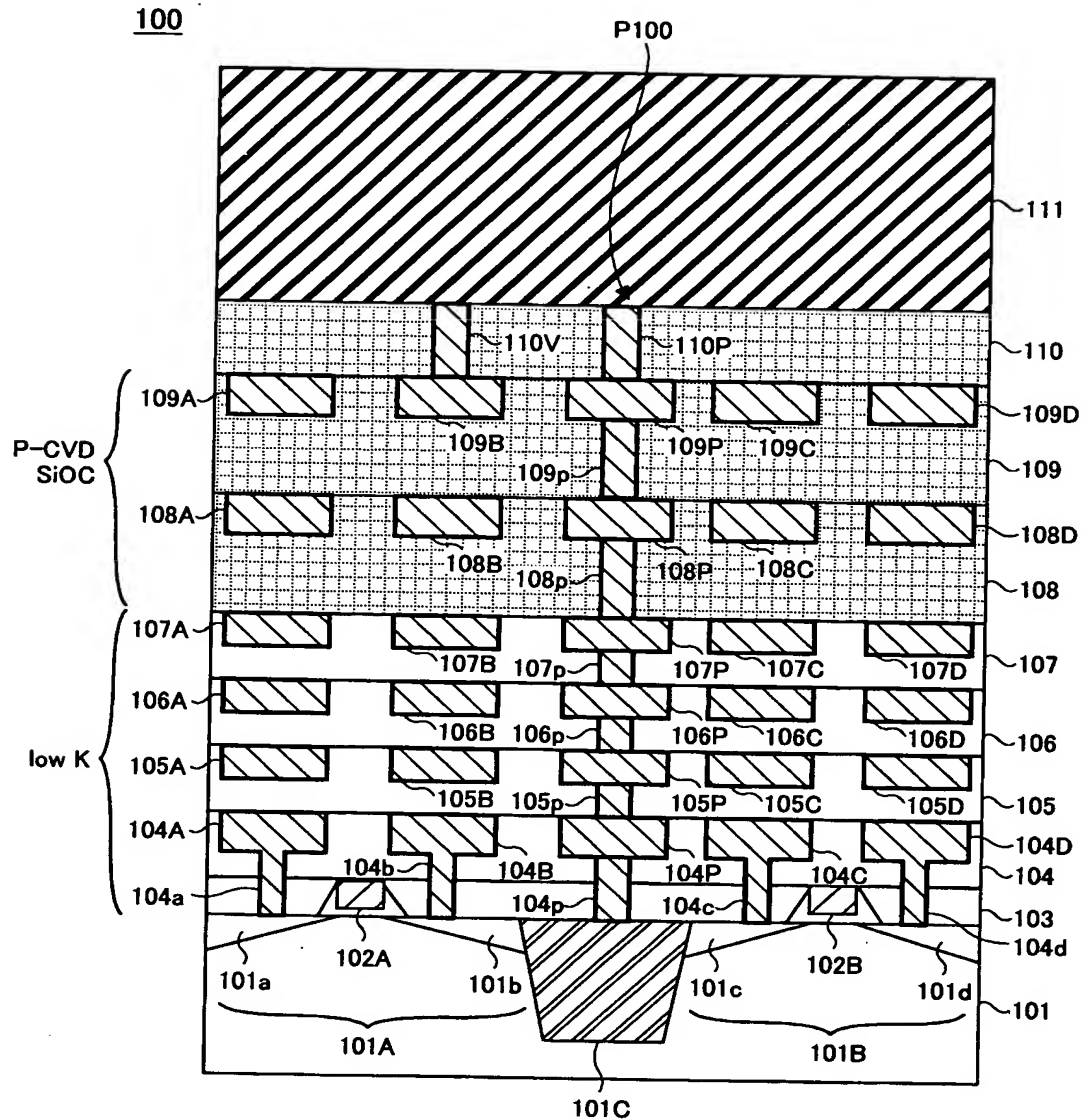
【図 4】

従来の多層配線構造を有する半導体集積回路装置において
生じる問題点を説明するための図



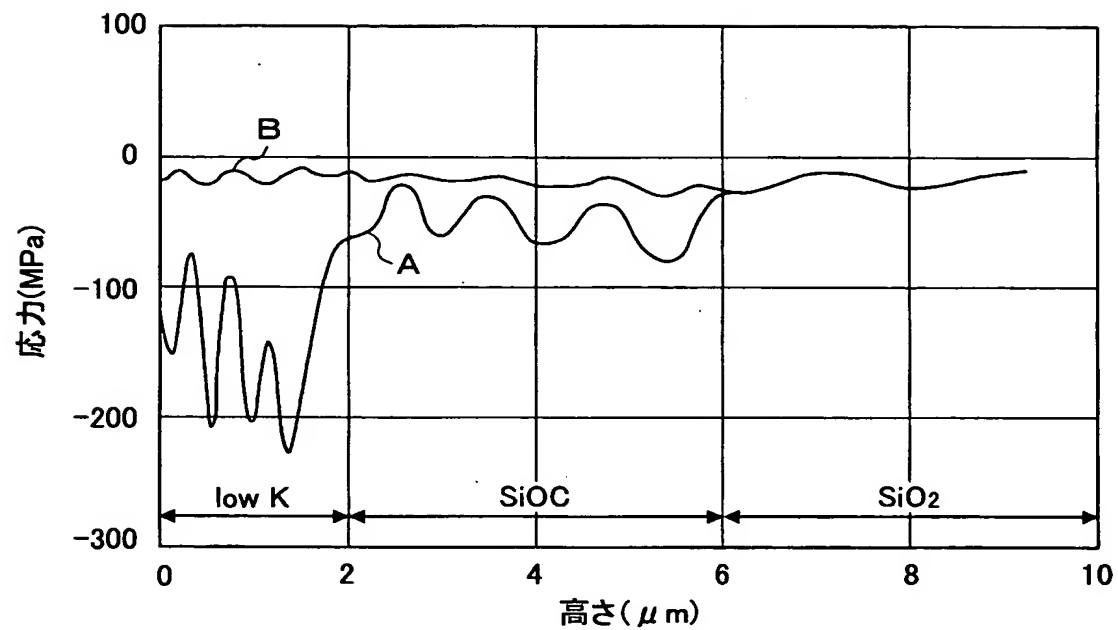
【図 5】

本発明の第1実施例による半導体集積回路装置の構成を示す図



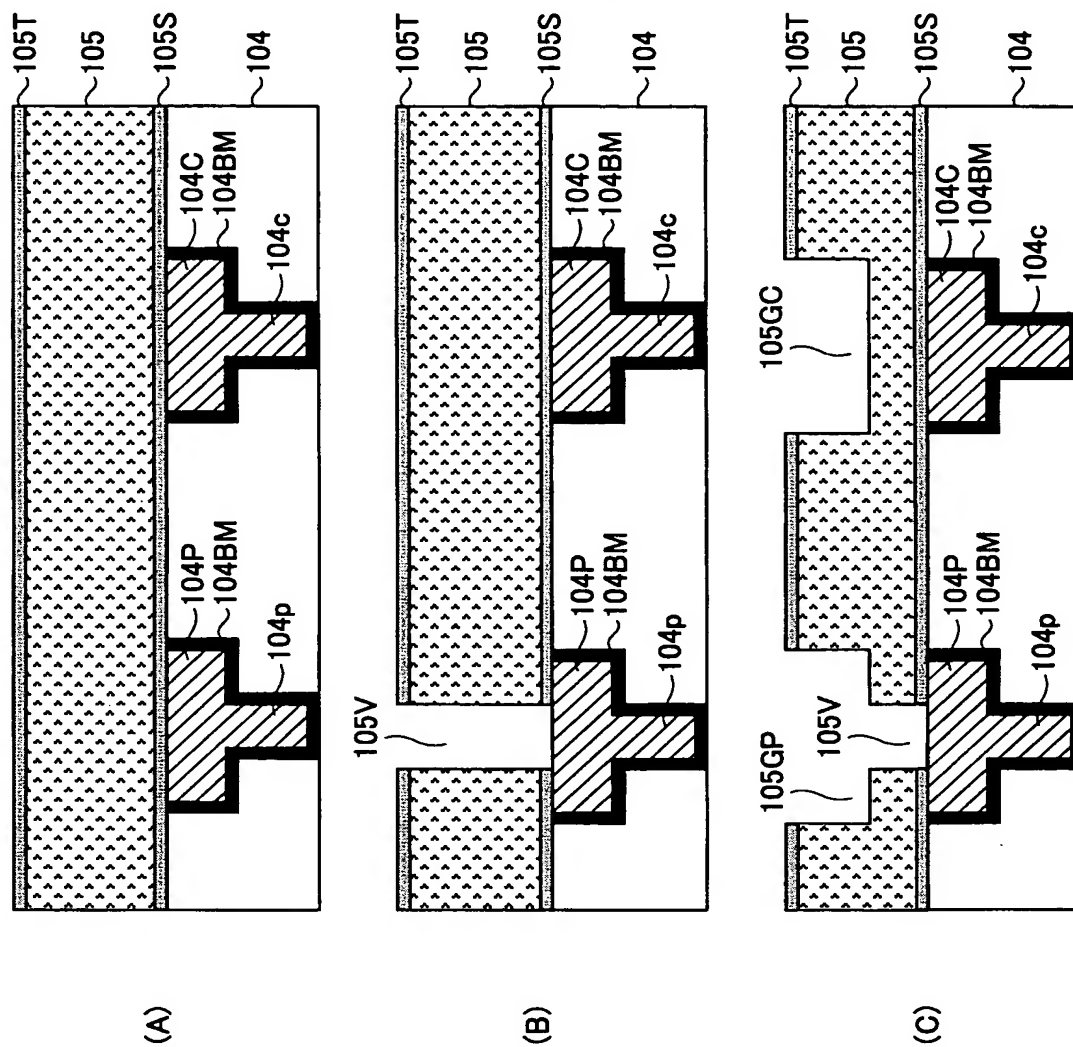
【図 6】

本発明の効果を示す図



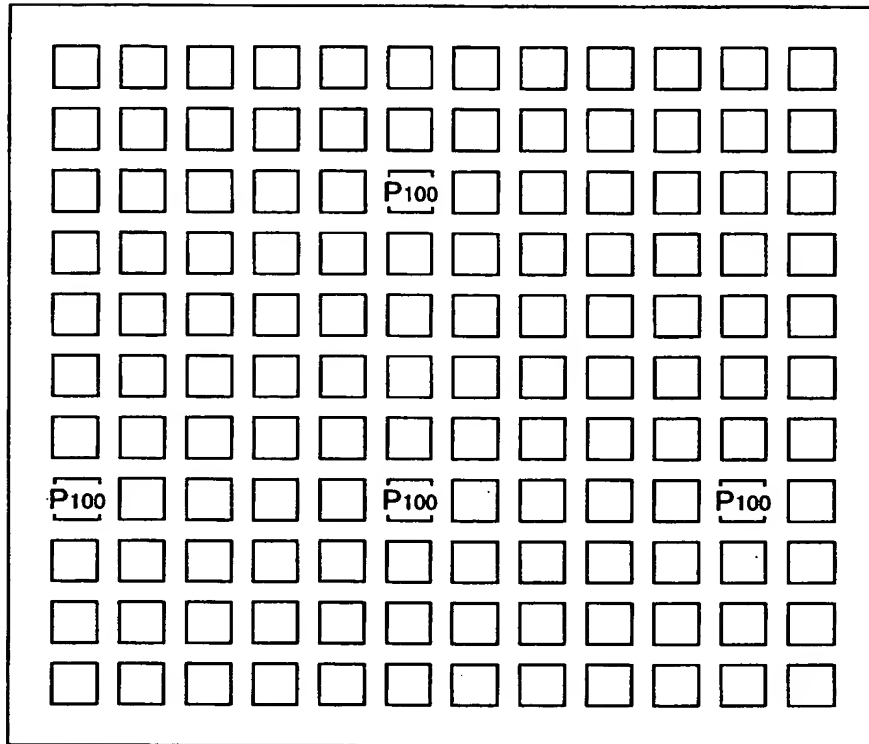
【図 7】

(A)～(C)は、図5の半導体集積回路装置の製造工程を示す図(その1)



【図 9】

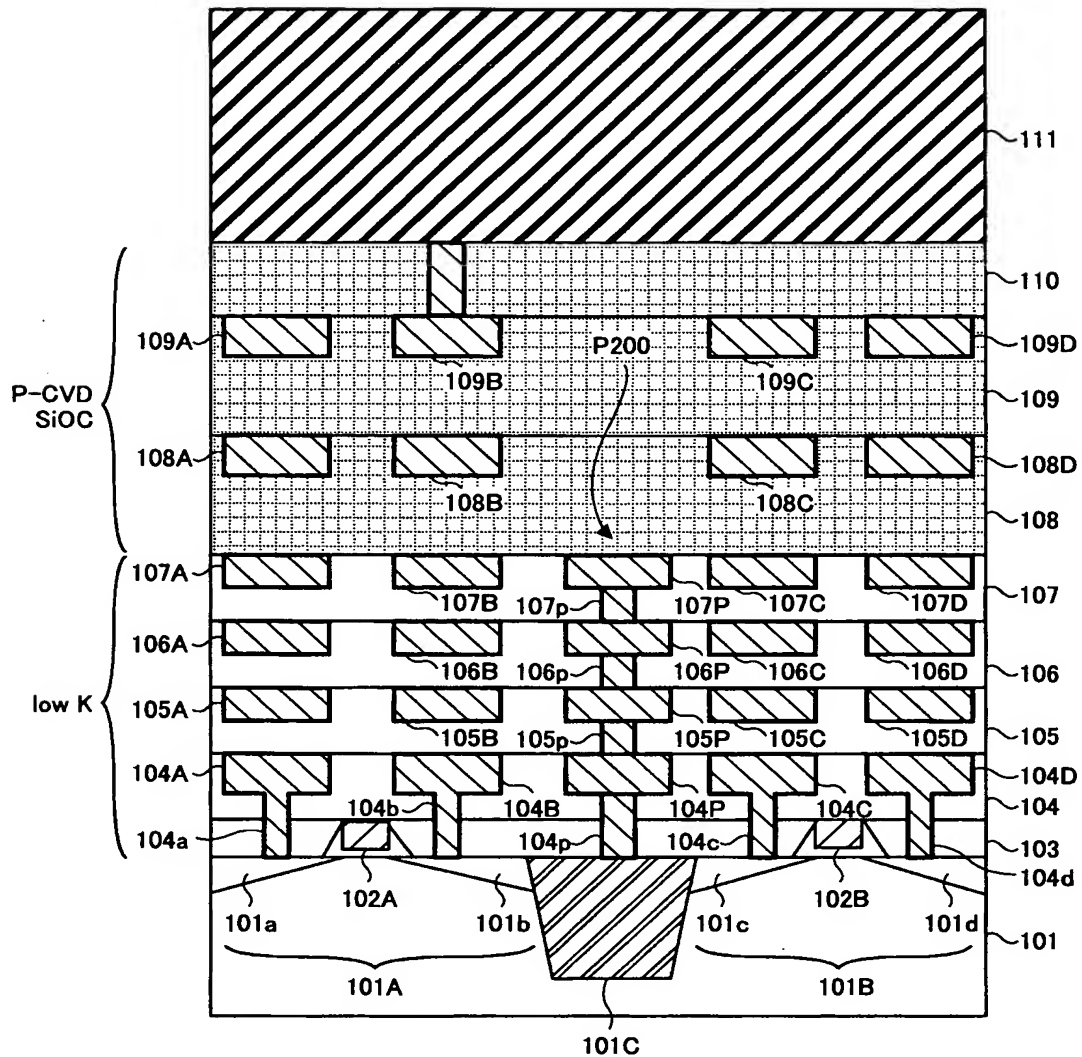
本発明における支柱の分布の一例を示す図



【図 10】

本発明の第2実施例による半導体集積回路装置の構成を示す図

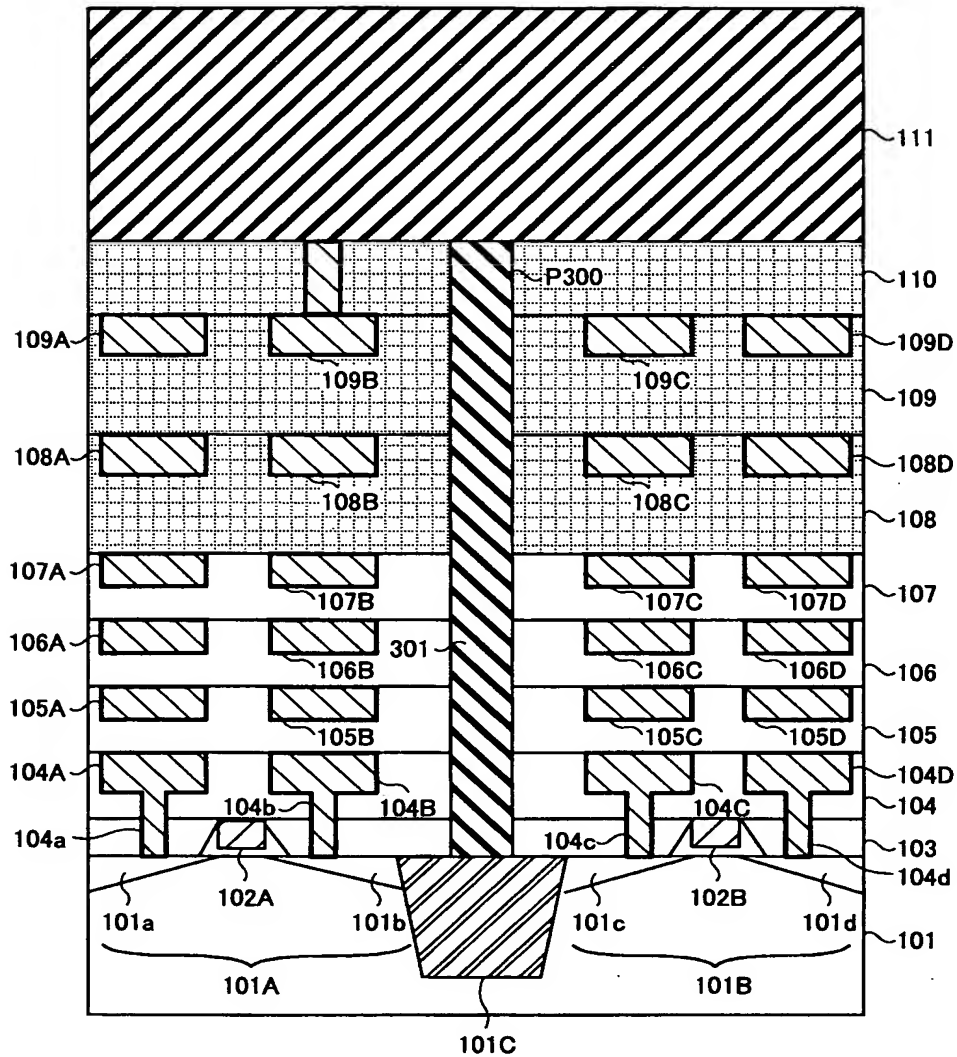
200



【図 11】

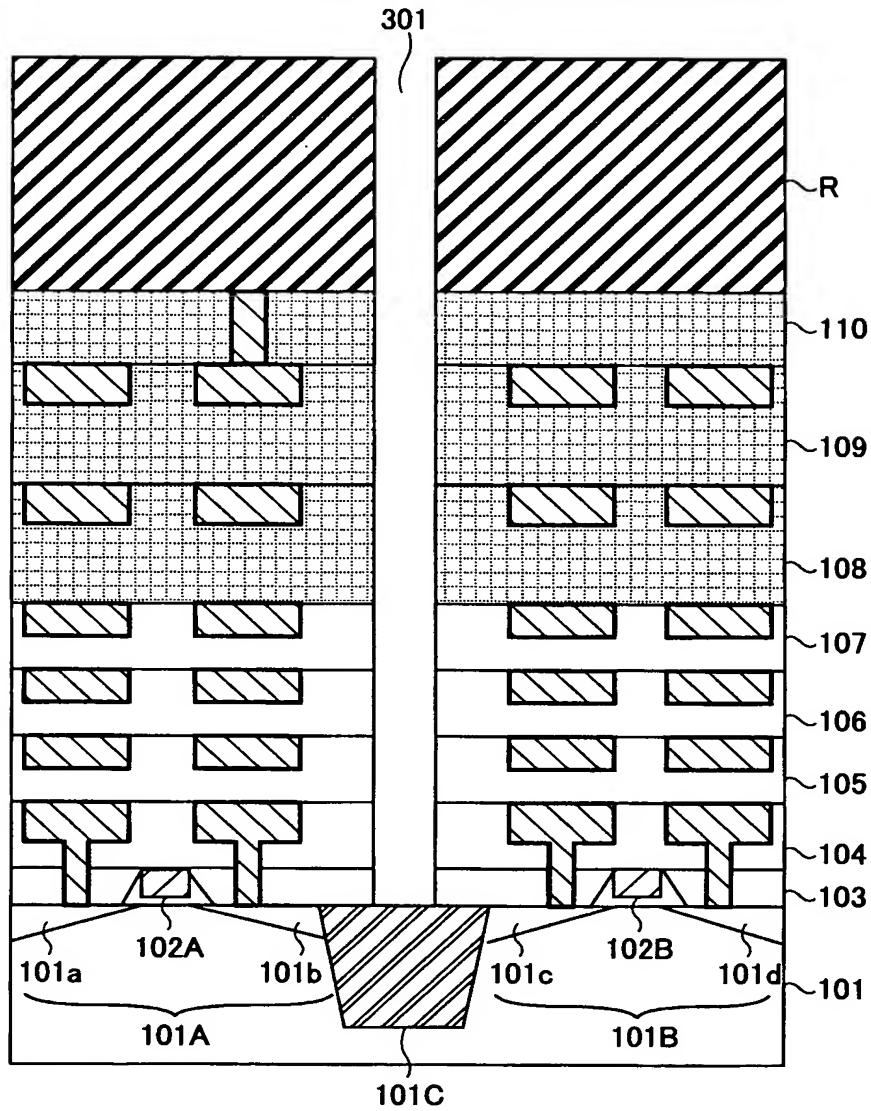
本発明の第3実施例による半導体集積回路装置の構成を示す図

300



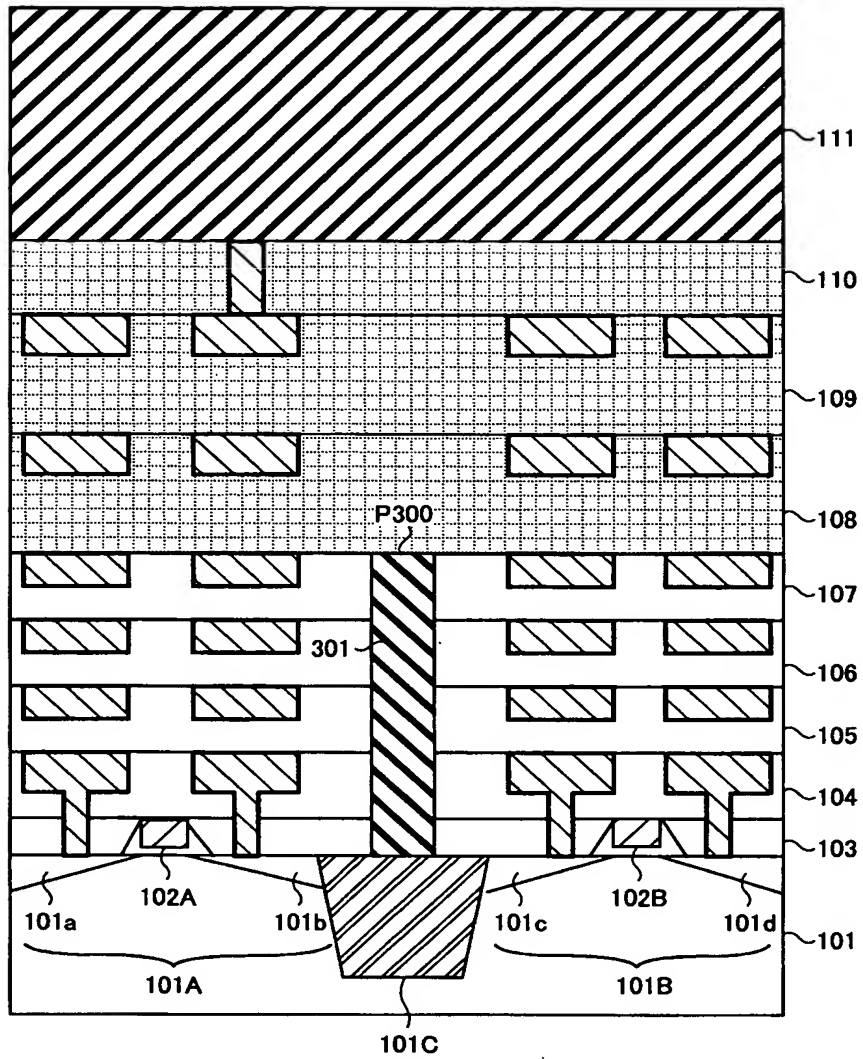
【図 12】

図11の半導体集積回路装置の製造工程を示す図



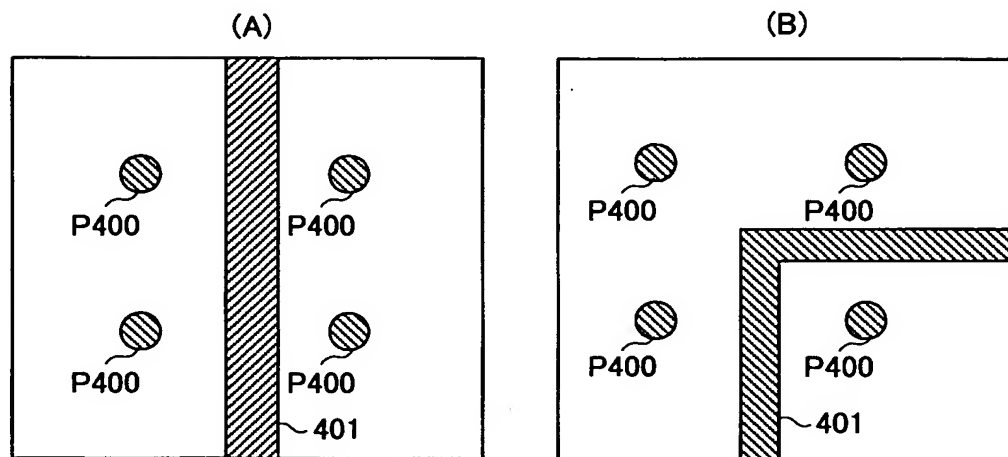
【図 13】

図11の半導体集積回路装置の一変形例を示す図



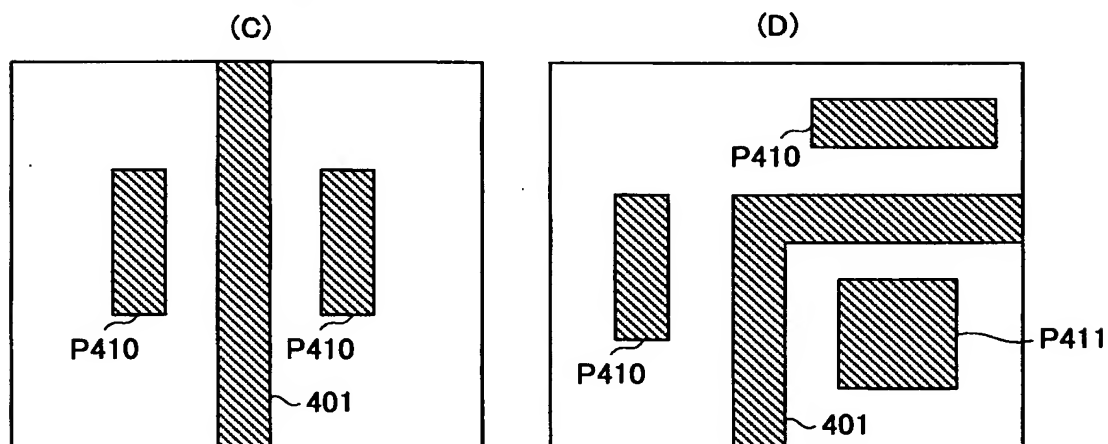
【図 14】

(A),(B)は、本発明の第4実施例による
半導体集積回路装置の一部を示す平面図



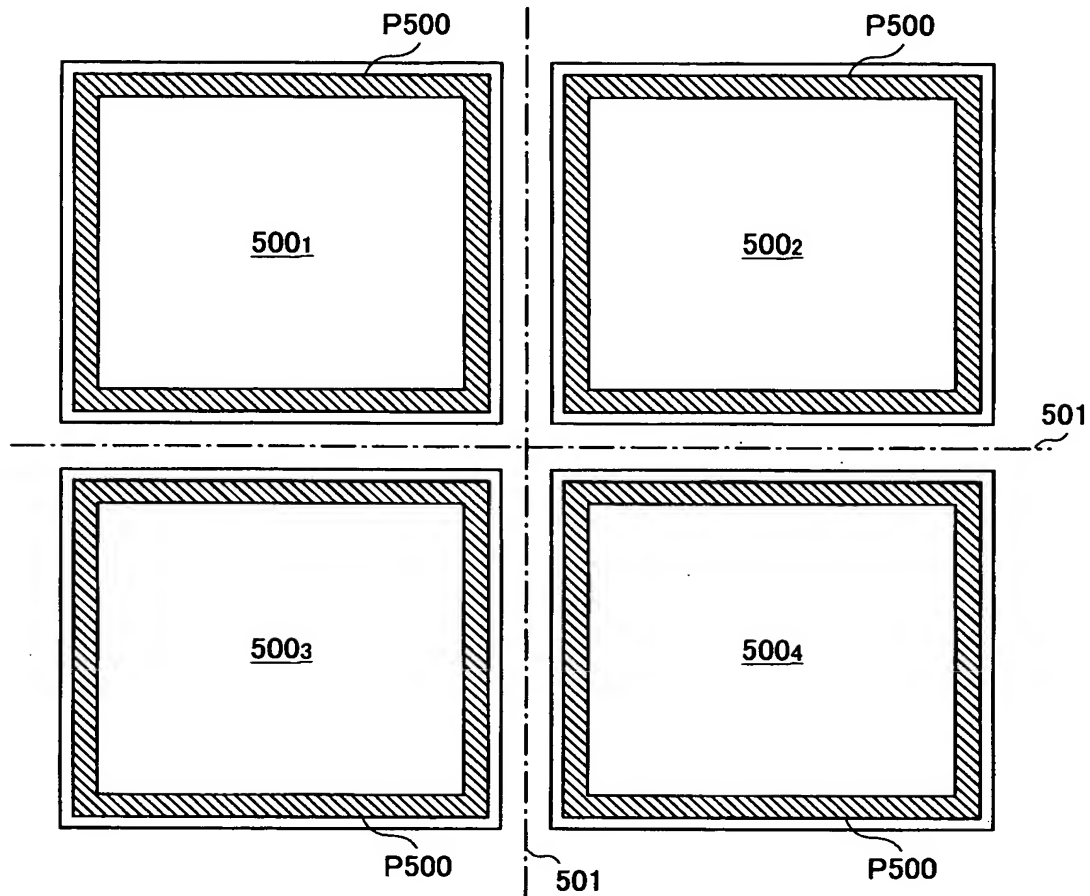
【図 15】

(C),(D)は、本発明の第4実施例による
半導体集積回路装置の一部を示す平面図



【図 16】

本発明第5実施例による半導体ウェハの一部を示す平面図



【書類名】 要約書

【要約】

【課題】 低誘電率層間絶縁膜を使った第 1 の多層配線構造とその上に形成されたより誘電率の大きい層間絶縁膜を使った第 2 の多層配線構造とを有する半導体集積回路装置において、ワイヤボンディングなどの際の応力が第 1 の多層配線構造中の微細な配線パターンに印加されるのを抑制する。

【解決手段】 少なくとも第 1 の多層配線構造中に、前記多層配線構造中を貫通して延在するように支柱を形成する。

【選択図】 図 5

特願 2 0 0 3 - 0 4 7 7 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社